

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-163823

(43)Date of publication of application : 10.06.1994

(51)Int.Cl.

H01L 27/04
H01L 27/092
H03M 1/08

(21)Application number : 05-224360

(71)Applicant : TOSHIBA CORP
TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 09.09.1993

(72)Inventor : MIYATA HARUYUKI
KOIZUMI MASAYUKI

(30)Priority

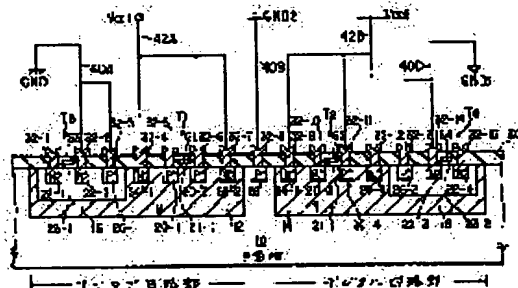
Priority number : 04256296 Priority date : 25.09.1992 Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor integrated circuit device, wherein noise generated in a digital circuit part can be reliably interrupted and the mutual interference between a digital circuit and an analog circuit can be sufficiently prevented.

CONSTITUTION: An N-type well region 12 and an N-type well region 14 are provided in a P-type silicon substrate 10, an analog circuit is arranged in the region 12 and a digital circuit is arranged in the region 14 to obtain a bias potential in the substrate 10 from a power supply GND 2 other than a power supply of the digital circuit. According to this constitution, noise generated in the digital circuit stops intruding into the substrate via a power wiring by obtaining the potential in the substrate 10 from the power supply other than the power supply of the digital circuit. As a result, noise generated in a digital circuit part can be reliably interrupted and the mutual intervention between the digital circuit and the analog circuit is sufficiently prevented.



LEGAL STATUS

[Date of request for examination] 27.09.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-163823

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl.⁵

H 0 1 L 27/04

27/092

H 0 3 M 1/08

識別記号

G 8427-4M

U 8427-4M

Z 9065-5J

9170-4M

F I

H 0 1 L 27/ 08

3 2 1 A

技術表示箇所

審査請求 未請求 請求項の数3(全 18 頁)

(21)出願番号 特願平5-224360

(22)出願日 平成5年(1993)9月9日

(31)優先権主張番号 特願平4-256296

(32)優先日 平4(1992)9月25日

(33)優先権主張国 日本(JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72)発明者 宮田 晴行

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

(72)発明者 小泉 正幸

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

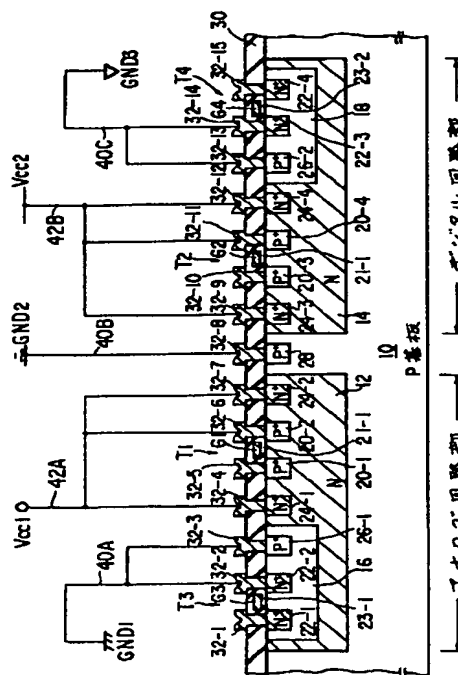
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】この発明はデジタル回路部で発生したノイズを確実に遮断でき、デジタル回路とアナログ回路との相互干渉を十分に防止できる半導体集積回路装置を提供しようとするものである。

【構成】P型シリコン基板10中にN型ウェル領域12とN型ウェル領域14とを設け、ウェル領域12にアナログ回路を配置し、ウェル領域14にデジタル回路を配置し、基板10のバイアス電位を、デジタル回路の電源以外の電源GN D2から得ることを主要な特徴としている。この構成であると、基板10の電位を、デジタル回路の電源以外の電源から得ることによって、デジタル回路で発生したノイズが、電源配線を介して基体中に侵入しなくなる。このため、デジタル回路部で発生したノイズを確実に遮断できるようになり、デジタル回路とアナログ回路との相互干渉が十分に防止される。



1

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基体と、
前記基体中に形成されたアナログ回路と、
前記基体中に形成されたデジタル回路と、
前記アナログ回路を構成するために前記基体の表面領域中に形成された第 1 の素子と、
前記デジタル回路を構成するために前記基体の表面領域中に形成された第 2 の素子と、
前記アナログ回路に動作電源を与える第 1 の電源手段と、
前記デジタル回路に動作電源を与える第 2 の電源手段と、
前記基体中に形成され、前記第 1 の素子および第 2 の素子の少なくとも一方を、前記基体から隔離する第 2 導電型の半導体領域と、
前記第 2 の電源手段以外の電源から得たバイアス電位を、前記基体に与えるバイアス手段とを具備することを特徴とする半導体集積回路装置。

【請求項 2】 前記第 1 の電源手段は、第 1 の高電位電源端子と、この第 1 の高電位電源端子と前記アナログ回路とを互いに接続する第 1 の配線と、第 1 の低電位電源端子と、この第 1 の低電位電源端子と前記アナログ回路とを互いに接続する第 2 の配線とを含み、
前記第 2 の電源手段は、第 2 の高電位電源端子と、この第 2 の高電位電源端子と前記デジタル回路とを互いに接続する第 3 の配線と、第 2 の低電位電源端子と、この第 2 の低電位電源端子と前記デジタル回路とを互いに接続する第 4 の配線とを含み、
前記バイアス手段は、少なくとも前記第 2 の高電位電源端子および前記第 2 の低電位電源端子とは異なる第 3 の電源端子と前記基体とを互いに接続する第 5 の配線を含み、
電流通路の一端を前記第 1 の高電位電源端子に接続し、その他端を前記第 3 の電源端子に接続した第 1 の保護素子と電流通路の一端を前記第 2 の高電位電源端子に接続し、その他端を前記第 3 の電源端子に接続した第 2 の保護素子とを含む保護回路をさらに具備することを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記基体中に形成され、前記アナログ回路の周囲を囲む前記基体より高濃度の第 1 導電型の第 1 の半導体領域と、
前記基体中に形成され、前記デジタル回路の周囲を囲む前記基体より高濃度の第 1 導電型の第 2 の半導体領域とをさらに具備し、
前記バイアス手段を前記第 1、第 2 の半導体領域それぞれに接続することを特徴とする請求項 1 および 2 いずれか一項に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体集積回路装置

2

に係わり、特にアナログ回路とデジタル回路とを一つの半導体基板中に形成した半導体集積回路装置に関する。

【0002】

【従来の技術】 デジタル回路とアナログ回路とを同一チップ上に設けた半導体装置としては、特開平 4-251970 号（特願平 3-1232 号）が、日本において公開されている。

【0003】 図 21 は、特開平 4-251970 号に記載されているアナログ・デジタル混載半導体集積回路装置の概略構成を示す図、図 22 は図 21 の主要な部分を示す図である。

【0004】 図 21 および図 22 に示すように、特開平 4-251970 号に開示された半導体装置では、基板 100 中に 2 つのウェル 102 および 104 が形成され、アナログ回路が一方のウェル 102 に形成され、デジタル回路が他方のウェル 104 に形成される。

【0005】 上記構成によれば、一方のウェル 102 と他方のウェル 104 とが互いに、基板 100 で囲まれるため、アナログ回路とデジタル回路とを基板 100 の表面領域だけでなく、基板 100 中の深い領域でも電気的に分離することができる。そして、基板 100 は、デジタル回路から発生する電気ノイズを吸収するため、上記電気ノイズの伝達が基板 100 により阻止され、デジタル回路とアナログ回路との相互干渉が低減される。しかし、特開平 4-251970 号に開示された半導体装置では、依然としてアナログ回路の特性が変動する、という上記相互干渉の影響が見られている。

【0006】

【発明が解決しようとする課題】 以上のように、特開平 4-251970 号に開示されている半導体集積回路装置では、第 1 のウェル 102 と第 2 のウェル 104 とを基板 100 で囲み、基板 100 をデジタル回路からのノイズを吸収するように働かせることによって、デジタル回路とアナログ回路との相互干渉を低減させている。

【0007】 しかしながら、この装置では、デジタル回路とアナログ回路との相互干渉が、十分に防止されていない。この原因は、基板電位を、デジタル回路部の電源より配線を引き回すことによって得ているため、例えば電源電位のアンダーシュート等がデジタル回路部で生じた場合、これがノイズとなり、配線を介して基板 100 に入力されてしまうため、と考えられる。

【0008】 基板 100 中には、上記の配線と電気的に接続される P 型高濃度領域 106 が形成されている。この P 型高濃度領域 106 は、アナログ回路が形成されるウェル 102 の近傍に配置される。従って、ノイズは、P 型高濃度領域 106 より、抵抗 R_{SUB}（基板 100 を抵抗 R_{SUB} を持つ導電体と仮定している）～コンデンサ C₁（基板 100 とウェル 102 との P-N 接合を誘電体と仮定している）～抵抗 R_{WELL}（ウェル 102 を抵抗 R_{WELL} を持つ導電体と仮定している）～コンデンサ C₂（ウェ

3

ル102とトランジスタT10のドレイン108とのPN接合を誘電体と仮定している)のパスを介して、アナログ回路部を構成するトランジスタT10のドレインへ侵入し、アナログ回路中へ侵入する。

【0009】この発明は上記のような点に鑑みて為されたもので、その目的は、上記デジタル回路部で発生したノイズが電源配線を介してアナログ回路中に侵入するという問題を解決し、デジタル回路部で発生したノイズを確実に遮断でき、デジタル回路とアナログ回路との相互干渉を十分に防止できる半導体集積回路装置を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、この発明の第1の態様では、第1導電型の半導体基体と、この基体中に形成されたアナログ回路およびデジタル回路と、前記アナログ回路を構成するために前記基体の表面領域中に形成された第1の素子と、前記デジタル回路を構成するために前記基体の表面領域中に形成された第2の素子と、前記アナログ回路に動作電源を与える第1の電源手段と、前記デジタル回路に動作電源を与える第2の電源手段とを具備する。さらに前記基体中に、前記第1の素子および第2の素子の少なくとも一方を、前記基体から隔離する第2導電型の半導体領域を設けるとともに、前記基体へのバイアス電位を、前記第2の電源手段以外の電源から得ることを特徴としている。

【0011】また、この発明の第2の態様では、前記第1の電源手段が、第1の高電位電源端子とこの第1の高電位電源端子とアナログ回路とを互いに接続する第1の配線、および第1の低電位電源端子とこの第1の低電位電源端子とアナログ回路とを互いに接続する第2の配線とを含み、前記第2の電源手段が、第2の高電位電源端子とこの第2の高電位電源端子とデジタル回路とを互いに接続する第3の配線、および第2の低電位電源端子とこの第2の低電位電源端子とデジタル回路とを互いに接続する第4の配線とを含み、前記バイアス手段が、少なくとも前記第2の高電位電源端子および前記第2の低電位電源端子とは異なる第3の低電位電源端子と基体とを互いに接続する第5の配線を含む。そして、電流通路の一端を第1の高電位電源端子に接続し、その他端を第3の低電位電源端子に接続した第1の保護素子、および電流通路の一端を第2の高電位電源端子に接続し、その他端を第3の低電位電源端子に接続した第2の保護素子を含む保護回路をさらに具備することを特徴としている。

【0012】また、この発明の第3の態様では、アナログ回路の周囲を囲む基体より高濃度の第1導電型の第1の半導体領域、およびデジタル回路の周囲を囲む基体より高濃度の第1導電型の第2の半導体領域をそれぞれ基体中にさらに設け、前記バイアス手段をこれら第1、第2の半導体領域それぞれに接続することを特徴としている。

4

【0013】

【作用】上記第1の態様の半導体集積回路装置によれば、基体の電位を、デジタル回路の電源以外の電源から得ることによって、デジタル回路で発生したノイズが、電源配線を介して基体中に侵入しなくなる。従って、上記ノイズを確実に遮断できるようになり、デジタル回路とアナログ回路との相互干渉を十分に防止することができる。

【0014】また、上記第2の態様の半導体集積回路装置によれば、保護回路を設けることにより、上記第1の態様の装置による作用に加え、装置の静電耐圧を向上させることができる。特に上記構成の保護回路では、第1の保護素子がアナログ回路に接続される第1の高電位電源端子と第3の電源端子との間に設けられることから、アナログ回路で発生したノイズが、デジタル回路に入力されることなく第3の電源端子に逃がすことができる。同様に、第2の保護素子がデジタル回路に接続される第2の高電位電源端子と第3の電源端子との間に設けられることから、デジタル回路で発生したノイズが、アナログ回路に入力されることなく第3の電源端子に逃がすことができる。

【0015】また、上記第3の態様の半導体集積回路装置によれば、アナログ回路およびデジタル回路それぞれの周囲が、第1、第2の半導体領域により囲まれ、かつバイアス手段がこれら第1、第2の半導体領域に接続されることにより、アナログ回路からのノイズの漏れおよびアナログ回路へのノイズの侵入、あるいはデジタル回路からのノイズの漏れおよびデジタル回路へのノイズの侵入を、より強力に防止することができる。

【0016】

【実施例】以下、図面を参照して、この発明を実施例により説明する。この説明において、全図にわたり共通する部分には共通の参照符号を付し、重複する説明は避けることにする。

【0017】図1は、この発明の第1の実施例に係わる半導体集積回路装置の断面図である。この半導体集積回路装置では、1つのシリコン基板中に、アナログ回路と、デジタル回路とが集積されている。

【0018】P型シリコン基板10中には、第1のN型ウェル領域12及び第2のN型ウェル領域14がそれぞれ離隔して形成されている。第1のN型ウェル領域12中にはアナログ回路が形成され、第2のN型ウェル領域14中にはデジタル回路が形成される。上記第1のN型ウェル領域12中にはP型ウェル領域16が形成され、上記第2のN型ウェル領域14中にはP型ウェル領域18が形成され、デジタル回路部とアナログ回路部の双方でCMOS型の回路を構成することが可能になっている。

【0019】N型ウェル領域12、14中にはそれぞれ、P型半導体領域20-1～20-4が形成される。P型

5

ウェル領域16, 18中にはそれぞれ、N型半導体領域22-1~22-4が形成される。これらの領域20-1~20-4, 22-1~22-4はそれぞれ、能動素子を構成するための領域であり、図1では能動素子の一例としてMOSFET T1~T4を形成した状態を示している。すなわち、半導体領域20-1, 20-2間の領域上には、ゲート絶縁膜21-1が形成され、このゲート絶縁膜21-1上にゲート電極G1が形成されることによりMOSFET T1が形成される。半導体領域20-3, 20-4間の領域上には、ゲート絶縁膜21-2が形成され、このゲート絶縁膜21-2上にゲート電極G2が形成されることによりMOSFET T2が形成される。半導体領域22-1, 22-2間の領域上には、ゲート絶縁膜23-1が形成され、このゲート絶縁膜23-1上にゲート電極G3が形成されることによりMOSFET T3が形成される。また、半導体領域22-3, 22-4間の領域上には、ゲート絶縁膜23-2が形成され、このゲート絶縁膜23-2上にゲート電極G4が形成されることによりMOSFET T4が形成される。

【0020】更に、N型ウェル領域12, 14中にはそれぞれ、これらウェル領域12, 14より不純濃度が高いN型高濃度半導体領域24-1~24-4が形成される。これらの領域24-1~24-4は、ウェル領域12, 14にそれぞれバイアス電位を与えるための領域である。同様に、P型ウェル領域16, 18中にも、バイアス電位を与えるためのP型高濃度半導体領域26-1, 26-2が形成される。上記第1, 第2のN型ウェル領域12, 14間の基板10の表面領域には、これらの領域12, 14と離隔して、この基板10よりも不純物濃度が高いP型高濃度半導体領域28が形成される。この領域28は、基板10にバイアス電位を与えるための領域である。

【0021】上記基板10の主表面上には絶縁膜30が形成され、この絶縁膜30の上記各半導体領域22-1, 22-2, 26-1, 24-1, 20-1, 20-2, 24-2, 28, 24-3, 20-3, 20-4, 24-4, 26-2, 22-3, 22-4上にはそれぞれ、コンタクトホールが形成される。絶縁膜30上及びコンタクトホール内にはそれぞれ、アルミニウム等からなり配線や電極として機能する導電層32-1~32-15が形成される。導電層32-2, 32-3は、配線40Aを介して第1の接地端子GND1に接続され、導電層32-4, 32-6, 32-7は、配線42Aを介して第1の電源端子Vcc1に接続される。導電層32-8は、配線40Bを介して第2の接地端子GND2に接続される。導電層32-9, 32-11, 32-12には、配線42Bを介して第2の電源端子Vcc2に接続され、導電層32-13, 32-14には、配線40Cを介して第3の接地端子GND3に接続される。第1~第3の接地端子GND1~GND3、第1~第2の電源端子Vcc1~Vcc2は各々、別個のリード端子とされる。ま

6

た、接続状態を図示しない導電層32-1, 32-5, 32-10, 32-15には、所期の回路機能を達成するように配線が行われる。

【0022】上記構成の集積回路装置では、基板電位をデジタル回路部から得ず、別個の独立した接地端子GND2から得るようにしているため、接地配線を介してのノイズの基板10への侵入を防止できる。この結果、ノイズをより確実に遮断でき、デジタル回路とアナログ回路との相互干渉をより十分に防止できる。

【0023】図2は、この発明を適用できるアナログ回路とデジタル回路とが1つのチップ中に集積された半導体集積回路装置の回路例を示すブロック図である。この回路は、サンプルホールド回路(S/H)51、アナログ/デジタルコンバータ(ADC)52、論理回路53及びデジタル/アナログコンバータ(DAC)54等が単一のチップ55中に形成されて構成される。

【0024】上記コンバータ52には、端子56, 57に印加される基準電位Vref1, Vref2が動作用に供給される。上記コンバータ54には、端子58, 59に印加される基準電位Vref3, Vref4が動作用に供給される。入力端子60に入力されたアナログ入力信号Ainは、サンプルホールド回路51に供給されてサンプリング及びホールドされる。このサンプルホールド回路51にホールドされているデータ(アナログ入力信号Ain)は、アナログ/デジタルコンバータ52に供給され、アナログ入力信号Ainに対応するデジタルデータに変換される。このコンバータ52から出力されるデジタルデータは、論理回路53に供給される。この論理回路53には、入力端子61から論理演算を行うためのデジタル入力信号Dinが供給されており、この信号Dinと上記コンバータ52から出力されたデジタル信号とを用いて予め定められた論理演算が行われる。この演算結果は、出力端子62からデジタル出力信号Doutとして出力される。あるいは、この演算結果がデジタル/アナログコンバータ54に供給され、アナログデータに変換される。上記コンバータ54から出力されるアナログデータは、出力端子63からアナログ出力信号Aoutとして出力される。更に、上記コンバータ52の出力を用いるのではなく、論理回路53に入力端子61から供給されたデジタル入力信号Dinに対して論理回路53で所定の演算を行い、コンバータ54でアナログ信号に変換して出力端子63からアナログ出力信号Aoutとして出力することもできる。

【0025】上記構成において、アナログ回路部、すなわちサンプルホールド回路51、アナログ/デジタルコンバータ52の一部、及びデジタル/アナログコンバータ54の一部はそれぞれ図1におけるウェル領域12, 16中に形成される。デジタル回路部、すなわちアナログ/デジタルコンバータ52の残りの部分、デジタル/アナログコンバータ54の残りの部分、及び論理回路5

7

3はウェル領域14, 18中に形成される。さらに、基板10の電位(接地電位)を、デジタル回路部における接地端子より独立した接地端子から得る。

【0026】図3は、図2に示した回路におけるアナログ/デジタルコンバータ(ADC)52の構成例を示す図で、いわゆるFlash ADCの回路構成を示している。このADCは、抵抗R0~R256、コンパレータCOMP1~COMP256、ラッチ回路LA1~LA256、デコーダ64、及びインバータ65, 66を含んで構成される。上記抵抗R0~R256は、基準電位Vref1, Vref2が印加される端子56, 57間に直列接続される。上記コンパレータCOMP1~COMP256の一方の入力端にはそれぞれ、抵抗R0とR1の接続点、…、抵抗R253とR254の接続点、抵抗R254とR255の接続点、及び抵抗R255とR256の接続点が接続される。このコンパレータCOMP1~COMP256の他方の入力端には入力端子67(サンプルホールド回路51の出力端)が接続される。上記コンパレータCOMP1~COMP256の出力端にはそれぞれ、ラッチ回路LA1~LA256の入力端が接続される。上記コンパレータCOMP1~COMP256及びラッチ回路LA1~LA256には、クロック信号がインバータ65, 66を介して供給され、同期して作動される。これらラッチ回路LA1~LA256の出力端は、デコーダ64の入力端に接続される。このデコーダ64の出力端子68から8ビットのデジタルデータが出力される。

【0027】上記抵抗R0~R256、コンパレータCOMP1~COMP256、及びラッチ回路LA1~LA256は、N型ウェル領域12中及びP型ウェル領域16中に形成される。デコーダ64及びインバータ65, 66は、N型ウェル領域14中及びP型ウェル領域18中に形成される。

【0028】次に、動作を説明する。入力端子67に供給されたアナログ入力電圧は、コンパレータCOMP1~COMP256によって、基準電位Vref1, Vref2間の電位差が抵抗R0~R256により分圧された電位と比較される。上記コンパレータCOMP1~COMP256による比較結果は、ラッチ回路LA1~LA256に供給されてラッチされる。これらのラッチ回路のLA1~LA256のラッチ出力がデコーダ64でデコードされ、8ビットのデジタルデータに変換されて出力端子68から出力される。

【0029】デコーダ64の動作時、例えば8ビットのデジタル出力が全て“1”レベルとなり、電源線にノイズが発生しても、このノイズは半導体基板10に吸収され、ウェル領域14, 18中に形成されたアナログ回路に影響を与えることはない。同様に、アナログ回路部から発生したノイズも半導体基板10に吸収され、デジタル回路部に影響を与えることはない。さらに、基板電位

8

(接地電位)が、デジタル回路部の接地電位から独立した接地端子から得られるために、接地配線を介してのノイズ侵入もなくなる。

【0030】図4は、図2に示された回路におけるアナログ/デジタルコンバータ52の他の構成例を示す図で、逐次比較型ADCの回路構成を示している。このADCは、抵抗R0~R256、スイッチ(SW)71-1~71-256、コンパレータCOMP、及び逐次近似レジスタコントロール回路(SAR)73を含んで構成される。上記抵抗R0~R256は、基準電位Vref1, Vref2が印加される端子58, 59間に直列接続される。抵抗R0とR1の接続点にはスイッチ71-1の一端、…、抵抗R254とR255の接続点にはスイッチ71-255の一端、抵抗R255とR256の接続点にはスイッチ71-256の一端がそれぞれ接続される。上記スイッチ71-1~71-256の他端には上記コンパレータCOMPの一方の入力端が接続される。上記スイッチ71-1~71-256は、コントロール回路73の出力信号で選択的にオン/オフ制御される。上記コンパレータCOMPの他方の入力端にはサンプルホールド回路51の出力端が接続される。上記コンパレータCOMPの出力端にはコントロール回路73の制御入力端が接続され、この回路73の出力端子74からアナログ入力信号Ainに対応するデジタル信号が出力される。

【0031】上記抵抗R0~R256、スイッチ72-1~72-256及びコンパレータCOMPは、N型ウェル領域12中及びP型ウェル領域16中に形成される。コントロール回路73は、N型ウェル領域14中及びP型ウェル領域18中に形成される。そして、基板10の電位を、デジタル回路部における接地端子と異なる接地端子から得る。

【0032】図4に示したADCでは、コンパレータCOMPによってサンプルホールド回路51に保持されているアナログ入力信号と選択されてオン状態にあるスイッチ72-1~72-256の一端の電位とが比較される。コントロール回路73によりスイッチのオン/オフ状態を変えて順次比較を行い、この比較結果に応じてコントロール回路73の出力端子74から8ビットのデジタル信号を得る。

【0033】図5は、図2に示された回路におけるデジタル/アナログコンバータ(DAC)54の構成例を示す図である。このDACは、スイッチコントロールロジック回路80、切換スイッチ81-1~81-256、キャパシタ82-1~82-256、及びバッファ回路83を含んで構成される。上記スイッチコントロールロジック回路80の入力端子84には、8ビットのデジタル信号が供給される。この回路80の出力信号により、切換スイッチ81-1~81-256が切り換え制御される。切換スイッチ81-1~81-256は、キャパシタ82-1~82-256の一方の電極に、端子58に印加される基準電位Vref3あ

るいは端子59に印加される基準電位 V_{ref4} を選択的に与える。上記キャパシタ82-1~82-256の他方の電極は、バッファ回路83の入力端に接続される。このバッファ回路83の出力端は、アナログ出力信号 A_{out} を出力する出力端子63に接続される。

【0034】スイッチ81-1~81-256、キャパシタ82-1~82-256及びバッファ回路83は、N型ウェル領域14中及びP型ウェル領域18中に形成される。スイッチコントロールロジック回路80は、N型ウェル領域12中及びP型ウェル領域16中に形成される。基板10の電位は、デジタル回路部における接地端子と異なる接地端子から得る。

【0035】上記構成において、入力端子84に8ビットのデジタル信号が供給されると、スイッチコントロールロジック回路80により各切換スイッチ81-1~81-256のスイッチング状態が設定され、これによって、各キャパシタ82-1~82-256の充放電が行われ、キャパシタ82-1~82-2の他方の電極の電位が決定される。そして、入力されたデジタル信号に対応したアナログ出力信号 A_{out} が、バッファ回路82から出力される。

【0036】図6は、この発明の第2の実施例に係わる半導体集積回路装置の断面図である。図6に示すように、基板電位をアナログ回路部の電源より配線40Aを引き回すことによって得るようにしている。

【0037】上記構成であっても、基板電位を与える配線がデジタル回路部より独立しているため、接地配線を介して基板10にデジタル回路部より発生したノイズが接地配線を介して侵入することがなくなる。よって、デジタル回路部とアナログ回路との相互干渉を防止することができる。

【0038】図7は、この発明の第3の実施例に係わる半導体集積回路装置の断面図である。図7に示すように、デジタル回路部を構成するNチャネル型MOSFET T4が、基板10内に形成されている。そして、基板10はデジタル回路部から独立した電源端子GND2に接続されている。また、基板10はMOSFET T4の近傍にて、半導体領域26-2を介してデジタル回路部の電源端子GND3に接続されている。

【0039】図8は図7に示す装置におけるノイズの伝搬経路を示す図である。図8に示すように、配線40Cに発生したノイズは、半導体領域26-2を介して基板10に侵入し、抵抗 R_{SUB} （基板10を抵抗 R_{SUB} を持つ導電体と仮定している）~コンデンサC1（基板10とウェル領域12とのPN接合を誘電体と仮定している）~抵抗 R_{WELL} （ウェル領域12を抵抗 R_{WELL} を持つ導電体と仮定している）~コンデンサC2（ウェル領域12との半導体領域20-1とのPN接合を誘電体と仮定している）のパスを介して、アナログ回路部を構成するPチャネル型トランジスタT1のドレイン（20-1）へ侵入し、導電層32-5を介してアナログ回路へと取り込まれ

る。しかし、抵抗 R_{SUB} の抵抗値は上記実施例中のアルミニウムでなる配線よりも高い。

【0040】さらに上記実施例では、半導体領域26-2とウェル領域12との間にウェル領域14を配置して、半導体領域26-2からアナログ回路部までの距離が長くなるようにしている。従って、基板10中でノイズが減衰するようになり、ノイズがウェル領域12まで到達しなくなる。従って、特願平3-12322号に開示されている集積回路装置よりも、デジタル回路とアナログ回路との相互干渉が防止されるようになる。

【0041】また、第3の実施例では、基板10をデジタル回路部から独立した電源端子GND2に接続するようにしている。このように構成すれば、基板10中の微弱なノイズを、電源端子GND2に吸収でき、さらに相互干渉の問題を軽減できる。

【0042】図9は、この発明の第4の実施例に係わる半導体集積回路装置の断面図である。図9に示すように、アナログ回路部を構成するNチャネル型MOSFET T3が、基板10内に形成されている。そして、基板10はデジタル回路部から独立した電源端子GND2に接続されている。また、基板10はMOSFET T3の近傍にて、半導体領域26-1を介してアナログ回路部の電源端子GND1に接続されている。

【0043】上記構成であっても、第3の実施例と同様な作用を得ることができ、デジタル回路とアナログ回路との相互干渉を防止することができる。図10は、この発明の第5の実施例に係わる半導体集積回路装置のパターン平面図、図11は、図10中の11-11線に沿う断面図である。

【0044】図10および図11に示すように、アナログ回路部の周囲はP型高濃度半導体領域28-1で囲まれ、デジタル回路部の周囲はP型高濃度半導体領域28-2で囲まれている。アナログ回路部にはN型のウェル領域12が形成され、ウェル領域12中にはPチャネル型MOSFET T1が形成されている。MOSFET T1の周囲は、ウェル領域12内に形成されたN型高濃度半導体領域24-1で囲まれている。ウェル領域12内にはP型ウェル領域16が形成され、ウェル領域16中にはNチャネル型MOSFET T3が形成されている。MOSFET T3とMOSFET T1との間のウェル16内にはP型高濃度半導体領域26-1が形成されている。デジタル回路部にはN型のウェル領域14が形成され、ウェル領域14中にはPチャネル型MOSFET T2が形成されている。MOSFET T2の周囲は、ウェル領域14内に形成されたN型高濃度半導体領域24-3で囲まれている。ウェル領域14内にはP型ウェル領域18が形成され、ウェル領域18中にはNチャネル型MOSFET T4が形成されている。MOSFET T4とMOSFET T2との間のウェル16内にはP型高濃度半導体領域26-2が形成されている。そし

11

て、P型高濃度半導体領域28-1は電源端子GND2に電氣的に接続され、P型高濃度半導体領域28-2は、電源端子GND3に電氣的に接続されている。

【0045】上記構成であっても、第1～第4の実施例と同様、ノイズを確実に遮断でき、デジタル回路とアナログ回路との相互干渉をより充分に防止できる。次に、この発明の第6の実施例に係わる半導体集積回路装置について説明する。

【0046】図12は、この発明の第6の実施例に係わる半導体集積回路装置を概略的に示した断面図である。図12に示すように、P型シリコン基板10中には、N型ウェル領域12およびN型ウェル領域14が形成されている。N型ウェル領域12中には、P型ウェル領域16が形成されている。N型ウェル領域14中には、P型ウェル領域18が形成されている。N型ウェル領域12およびP型ウェル領域16中にはアナログ回路50が形成され、N型ウェル領域14およびP型ウェル領域18中にはデジタル回路52が形成される。

【0047】アナログ回路50は、高電位電源VDD1と低電位電源（例えば接地電位）VSS1との間の電位差を動作電圧として駆動される。N型ウェル領域12は電源VDD1によりバイアスされ、P型ウェル領域16は電源VSS1によりバイアスされる。一方、デジタル回路52は、高電位電源VDD2と低電位電源（例えば接地電位）VSS2との間の電位差を動作電圧として駆動される。N型ウェル領域14は電源VDD2によりバイアスされ、P型ウェル領域18は電源VSS2によりバイアスされる。

【0048】N型ウェル領域12とN型ウェル領域14との間の基板10中にはアナログ回路50およびデジタル回路52をそれぞれ、電源からのサージより保護する保護回路54が形成されている。保護回路54は、アナログ回路用保護素子56と、デジタル回路用保護素子58とから成る。保護素子56は、アナログ用高電位電源VDD1と基板電位（例えば接地電位）VSS3との間に直列に接続される。一方、保護素子58は、デジタル用高電位電源VDD2と基板電位（例えば接地電位）VSS3との間に直列に接続される。

【0049】次に、保護素子の例について説明する。図13は、保護素子の第1の例を示す図である。図13に示すように、保護素子56は、ドレインを電源VDD1に接続し、ソース、ゲートおよびバックゲートを基板電位VSS3に接続したNチャネル型MOSFETにより構成されている。このMOSFETはノーマリオフである。

【0050】また、保護素子58は、ドレインを電源VDD2に接続し、ソース、ゲートおよびバックゲートを基板電位VSS3に接続したNチャネル型MOSFETにより構成されている。このMOSFETもノーマリオフである。

12

【0051】次に、図13に示される保護素子を参照しながら、図12に示される保護回路54の基本的な保護動作について説明する。保護素子のドレインに正のサージが入力された場合には、MOSFET構造に寄生する横型の寄生NPNバイポーラトランジスタのコレクタとベースとの間に正のバイアス加わる。このバイアスが降伏電圧を越えるとベースに電流が注入され、上記NPNバイポーラトランジスタが導通し、正のサージを基板電位VSS3に逃がす。

【0052】上記の現象が保護素子56に発生したならば、アナログ回路50を正のサージより保護でき、また、上記の現象が保護素子58に発生したならば、デジタル回路52を正のサージより保護することができる。

【0053】また、保護素子のドレインに負のサージが入力された場合には、MOSFETのドレインとバックゲートとの間のPN接合が順方向にバイアスされ、バックゲートからドレインへ電流が流れる。このため、バックゲートの電位が低下してゲートとバックゲートとの間に正の電位差が発生する。これにより、MOSFETが導通し、負のサージを基板電位VSS3へ逃がす。

【0054】上記の現象が保護素子56にて発生したならば、アナログ回路50が負のサージより保護され、また、上記の現象が保護素子58にて発生したならば、デジタル回路52が負のサージより保護される。

【0055】また、デジタル回路52の電源VDD2やVSS2には、大きいノイズが乗るが、図12に示される保護回路54では、保護回路54が基板10中に形成されており、保護回路54は、図13を参照して説明したよう動作により、ノイズを基板電位VSS3に吸収させることができる。従って、デジタル回路52で発生したノイズが、保護回路54を介してアナログ回路50に伝わることはない。

【0056】以上のように、上記保護回路54が基板10中に設けられた半導体集積回路装置では、第1～第5の実施例と同様、デジタル回路とアナログ回路との相互干渉を充分に抑制したまま、その静電耐圧を高めることができる。

【0057】図14は、保護素子の第2の例を示す図である。図14に示すように、保護素子56は、カソードを電源VDD1に接続し、アノードを基板電位VSS3に接続したダイオードより構成されている。また、保護素子58は、カソードを電源VDD2に接続し、アノードを基板電位VSS3に接続したダイオードより構成されている。

【0058】このように、図13に示したMOSFETをダイオードに代えても、図12に示した保護回路54と同様、アナログ回路50とデジタル回路52との相互干渉を抑制したまま、半導体集積回路装置の静電耐圧を高めることができる。

【0059】次に、この発明の第7の実施例に係わる半

導体集積回路装置について説明する。図15は、この発明の第7の実施例に係わる半導体集積回路装置を概略的に示した断面図である。

【0060】図15に示すように、P型シリコン基板10中には、深いN型ウェル領域12-1および深いN型ウェル領域14-1が形成されている。深いN型ウェル領域12-1中には、P型ウェル領域16およびN型ウェル領域12-2が形成されている。N型ウェル領域12-2の不純物濃度は、深いN型ウェル領域12-1の不純物濃度よりも高く設定されている。深いN型ウェル領域14-1中
10 には、P型ウェル領域18およびN型ウェル領域14-2が形成されている。N型ウェル領域14-2の不純物濃度は、深いN型ウェル領域14-1の不純物濃度よりも高く設定されている。N型ウェル領域12-2およびP型ウェル領域16中にはアナログ回路50が形成され、N型ウェル領域14-2およびP型ウェル領域18中にはデジタル回路52が形成される。

【0061】アナログ回路50は、電源VDD1と電源（例えば接地電位）VSS1との間の電位差を動作電圧として駆動される。深いN型ウェル領域12-1およびN
20 型ウェル領域12-2は電源VDD1によりバイアスされ、P型ウェル領域16は電源VSS1によりバイアスされる。一方、デジタル回路52は、電源VDD2と電源（例えば接地電位）VSS2との間の電位差を動作電圧として駆動される。深いN型ウェル領域14-1およびN型ウェル領域14-2は電源VDD2によりバイアスされ、P型ウェル領域18は電源VSS2によりバイアスされる。

【0062】アナログ回路部およびデジタル回路部以外の基板10の表面領域中にはP型ウェル領域60-1、6
30 0-2および60-3が形成されている。以上のように、第6の実施例に係る装置では、深いN型ウェル領域12-1および14-1を形成することによって、アナログ回路とデジタル回路とを、基板10中で分離する。深いN型ウェル領域12-1および14-1は、その不純物濃度が低くされることによって、アナログ回路とデジタル回路とを、基板10中で分離するためのウェル領域を、短時間で形成することができる。さらに深いN型ウェル領域12-1および14-1中にそれぞれ、N型ウェル領域14-2
40 やN型ウェル領域18-2を形成し、これらの領域の不純物濃度を調節することで、回路特性を、様々に調節することができる。即ち、半導体集積回路装置を、図15に示す構造とすることで、その製造および回路特性の調節が簡単になる。

【0063】また、P型ウェル領域60-1、60-2および60-3は、必ずしも形成されるものではないが、基板10中に、アナログ回路およびデジタル回路以外の回路、例えば図12に示した保護回路等を形成する場合に、上記同様、回路特性の調節を簡単化することができる。

【0064】次に、この発明の第8の実施例に係わる半導体集積回路装置について説明する。図16は、この発明の第8の実施例に係わる半導体集積回路装置を概略的に示した平面図、図17は図16中の17-17線に沿う断面図である。

【0065】図16および図17に示すように、基板10の表面領域中には、N型ウェル領域12を囲むリング状のP+型領域28-1が形成されている。P+型領域28-1には基板電位VSS3が供給される配線が接続されている。N型ウェル領域12の表面領域中には、N+型領域24-2が、N型ウェル領域12と基板10との間のPN接合に沿って形成されている。N+型領域24-2には、電源VDD1が供給される配線が接続されている。また、基板10の表面領域中には、N型ウェル領域14を囲むリング状のP+型領域28-2が形成されている。P+型領域28-2には基板電位VSS3が供給される配線が接続されている。N型ウェル領域14の表面領域中にはN+型領域24-4が、N型ウェル領域14と基板10との間のPN接合に沿って形成されている。N+型領域24-4には、電源VDD2が供給される配線が接続されている。

【0066】以上のように、第8の実施例に係る装置では、N型ウェル領域12をP+型領域28-1により囲み、N+型領域24-2をN型ウェル領域12と基板10との間のPN接合に沿って形成する。即ち、アナログ回路部と基板10との境界部を、集中的にバイアスすることで、アナログ回路で発生したノイズの漏れ、あるいはデジタル回路で発生したノイズの侵入を、より強力に防止することができる。

【0067】同様に、N型ウェル領域14をP+型領域28-2により囲み、N+型領域24-4をN型ウェル領域14と基板10との間のPN接合に沿って形成する。即ち、デジタル回路部と基板10との境界部を、集中的にバイアスすることで、デジタル回路で発生したノイズの漏れ、あるいはアナログ回路で発生したノイズの侵入を、より強力に防止することができる。

【0068】図18は、第6、第7および第8の実施例により説明した構造を全て用いた装置の具体的な平面図である。図19は、図18中の19-19線に沿う断面図である。

【0069】次に、この発明の第9の実施例に係わる半導体集積回路装置について説明する。図20は、この発明の第9の実施例に係わる半導体集積回路装置を概略的に示した断面図である。

【0070】図20に示すように、P型シリコン基板10中には、N型ウェル領域12-3、12-4およびN型ウェル領域14が形成されている。N型ウェル領域12-3中には、P型ウェル領域16-1が形成されている。N型ウェル領域12-4中には、P型ウェル領域16-2が形成されている。N型ウェル領域14中には、P型ウェル領
50

15

域18が形成されている。N型ウェル領域12-3およびP型ウェル領域16-1中には第1のアナログ回路50-1が形成され、N型ウェル領域12-4およびP型ウェル領域16-2中には第2のアナログ回路50-2が形成される。また、N型ウェル領域14およびP型ウェル領域18中にはデジタル回路52が形成される。

【0071】アナログ回路50-1は、高電位電源VDD1と低電位電源（例えば接地電位）VSS1との間の電位差を動作電圧として駆動される。N型ウェル領域12-3は電源VDD1によりバイアスされ、P型ウェル領域16-1は電源VSS1によりバイアスされる。アナログ回路50-2は、高電位電源VDD4と低電位電源（例えば接地電位）VSS4との間の電位差を動作電圧として駆動される。N型ウェル領域12-4は電源VDD4によりバイアスされ、P型ウェル領域16-2は電源VSS4によりバイアスされる。また、デジタル回路52は、高電位電源VDD2と低電位電源（例えば接地電位）VSS2との間の電位差を動作電圧として駆動される。N型ウェル領域14は電源VDD2によりバイアスされ、P型ウェル領域18は電源VSS2によりバイアスされる。

【0072】N型ウェル領域12-3とN型ウェル領域14との間の基板10中にはアナログ回路50-1およびデジタル回路52をそれぞれ、電源からのサージより保護する第1の保護回路54-1が形成されている。保護回路54-1は、アナログ回路用保護素子56-1と、デジタル回路用保護素子58とから成る。保護素子56-1は、アナログ用高電位電源VDD1と基板電位（例えば接地電位）VSS3との間に直列に接続される。一方、保護素子58は、デジタル用高電位電源VDD2と基板電位（例えば接地電位）VSS3との間に直列に接続される。

【0073】さらに、N型ウェル領域12-3とN型ウェル領域12-4との間の基板10中にはアナログ回路50-2を、電源からのサージより保護する第2の保護回路54-2が形成されている。保護回路54-2は、アナログ回路用保護素子56-2を含む。保護素子56-2は、アナログ用高電位電源VDD4と基板電位（例えば接地電位）VSS3との間に直列に接続される。

【0074】図20に示す装置であると、アナログ回路部に2つのN型ウェル領域が形成されている。そして、第1のアナログ回路50-1がN型ウェル領域12-3およびP型ウェル領域16-1中に形成され、第2のアナログ回路50-2がN型ウェル領域12-4およびP型ウェル領域16-2中に形成される。これにより、アナログ回路とデジタル回路との相互干渉だけでなく、アナログ回路どうしの相互干渉も防止することができる。

【0075】さらに各ウェル領域にそれぞれ、図13および図14に示した保護素子56-1、56-2および58を設けることで、デジタル回路とアナログ回路との相互

16

干渉、およびアナログ回路どうしの相互干渉を十分に抑制したまま、その静電耐圧を高めることができる。

【0076】また、この第9の実施例では、デジタル回路部に複数のN型ウェル領域を設け、デジタル回路毎に、ウェル領域に分割して配置することで、デジタル回路どうしの相互干渉を防止するように変形することもできる。

【0077】尚、この発明は上記実施例に限られるものではなく、種々の変形が可能である。例えば上記したN型、P型の導電型をそれぞれ読み替えても良い。また、デジタル回路部は、入出力回路部としても良い。その他、この発明の趣旨を逸脱しない範囲で様々に変形可能であることは言うまでもない。

【0078】

【発明の効果】以上説明したように、この発明によればノイズを確実に遮断でき、デジタル回路とアナログ回路との相互干渉を十分に防止できる半導体集積回路装置を提供できる。

【図面の簡単な説明】

【図1】図1はこの発明の第1の実施例に係わる半導体集積回路装置の断面図。

【図2】図2はこの発明を適用できるアナログ回路とデジタル回路とが1つのチップ中に集積されている半導体集積回路のブロック図。

【図3】図3は図2に示すアナログ／デジタルコンバータの構成図。

【図4】図4は図2に示すアナログ／デジタルコンバータの他の構成図。

【図5】図5は図2に示すデジタル／アナログコンバータの構成図。

【図6】図6はこの発明の第2の実施例に係わる半導体集積回路装置の断面図。

【図7】図7はこの発明の第3の実施例に係わる半導体集積回路装置の断面図。

【図8】図8は図7に示す装置におけるノイズの伝搬経路を示した断面図。

【図9】図9はこの発明の第4の実施例に係わる半導体集積回路装置の断面図。

【図10】図10はこの発明の第5の実施例に係わる半導体集積回路装置のパターン平面図。

【図11】図11は図10中の11-11線に沿う断面図。

【図12】図12はこの発明の第6の実施例に係わる半導体集積回路装置の概略的な断面図。

【図13】図13は図12中に示される保護素子の例を示す図。

【図14】図14は図12中に示される保護素子の他の例を示す図。

【図15】図15はこの発明の第7の実施例に係わる半導体集積回路装置の概略的な断面図。

【図16】図16はこの発明の第8の実施例に係わる半導

17

体集積回路装置の概略的な平面図。

【図 1 7】図17は図16中の17-17線に沿う断面図。

【図 1 8】図18は第 6 ～ 第 8 の実施例にて説明した構成を全て具備した半導体集積回路装置の具体的な平面図。

【図 1 9】図19は図18中の19-19線に沿う断面図。

【図 2 0】図20はこの発明の第 9 の実施例に係わる半導体集積回路装置の概略的な断面図。

【図 2 1】図21は従来の半導体集積回路装置の概略構成を示す図。

【図 2 2】図22は図21の主要な部分を示す図。

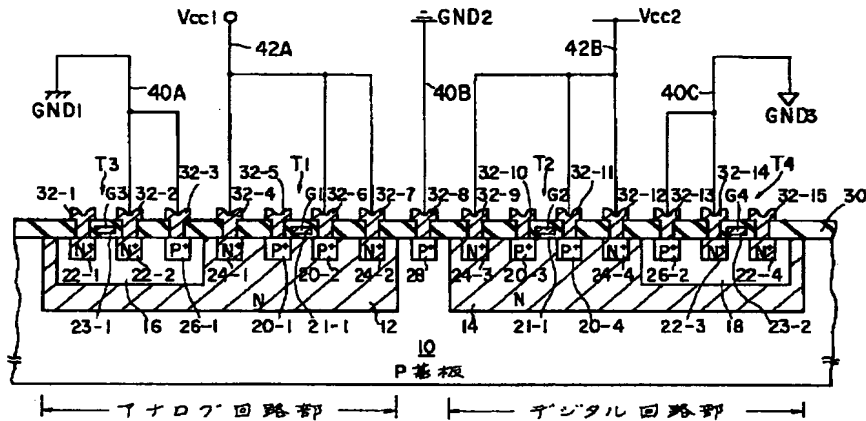
18

* 【符号の説明】

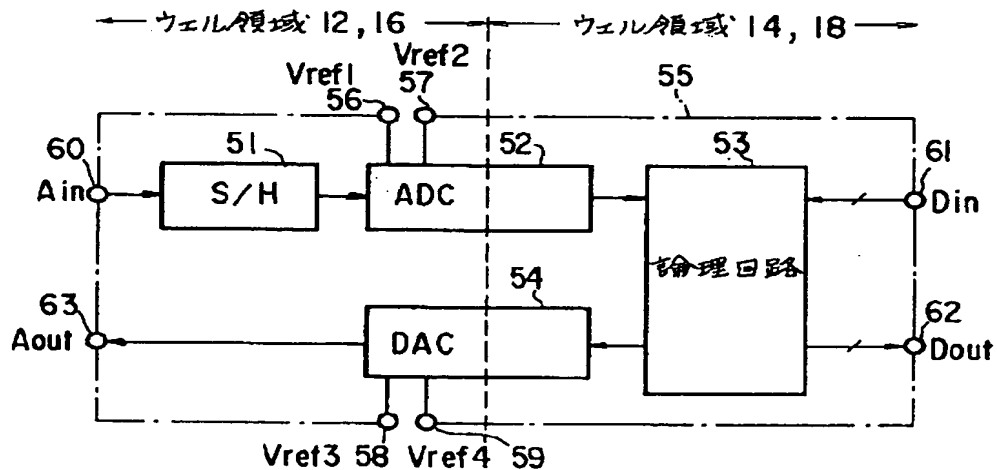
1 0…P 型シリコン基板、1 2…N 型ウェル領域、1 4…N 型ウェル領域、1 6…P 型ウェル領域、1 8…P 型ウェル領域、2 0-1～2 0-4…P 型半導体領域、2 2-1～2 2-4…N 型半導体領域、2 1-1～2 1-2…ゲート絶縁膜、2 3-1～2 3-2…ゲート絶縁膜、2 4-1～2 4-4…N 型高濃度領域、2 6-1～2 6-2…P 型高濃度領域、2 8、2 8-1～2 8-2…P 型高濃度領域、3 0…絶縁膜、3 2-1～3 2-15…導電層、4 0 A～4 0 C…配線。

* 10

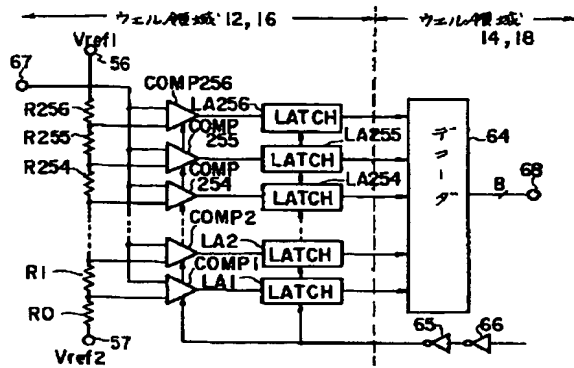
【図 1】



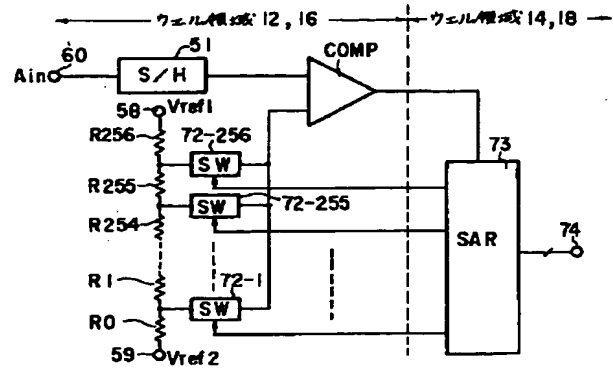
【図 2】



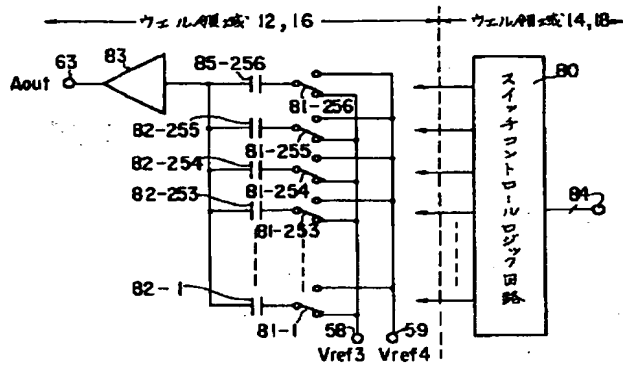
【図3】



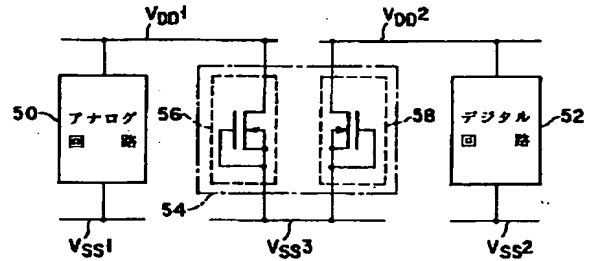
【図4】



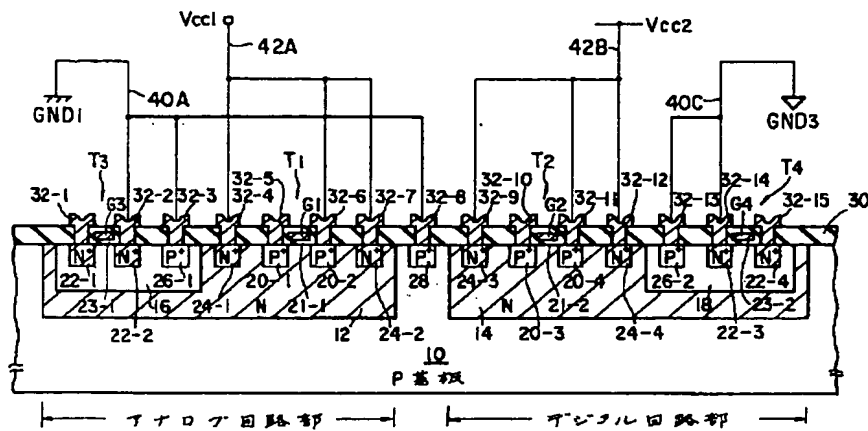
【図5】



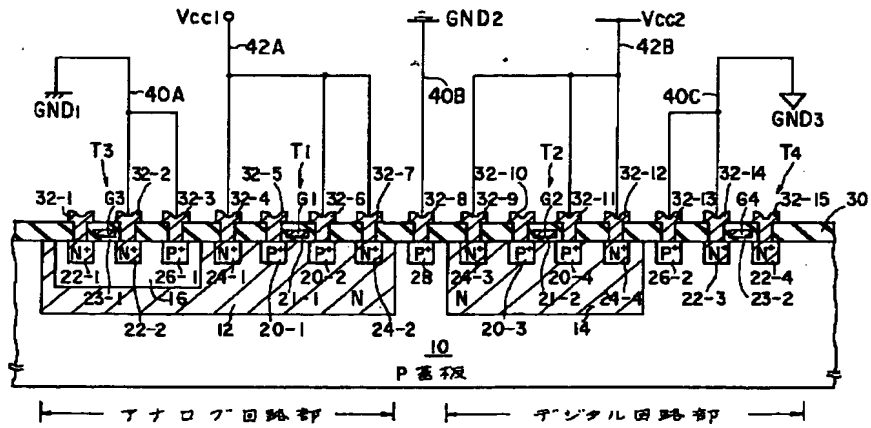
【図13】



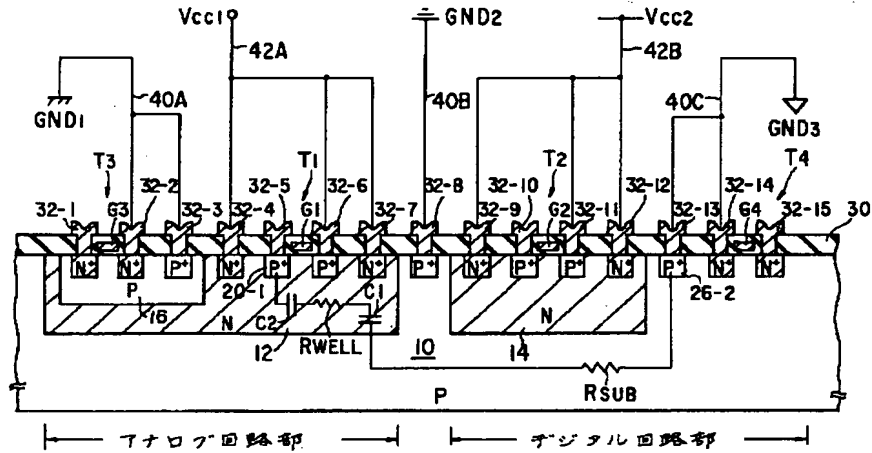
【図6】



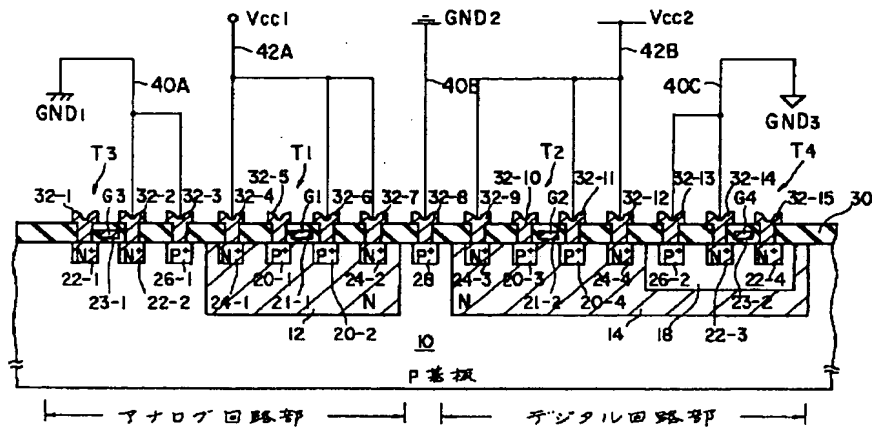
【図7】



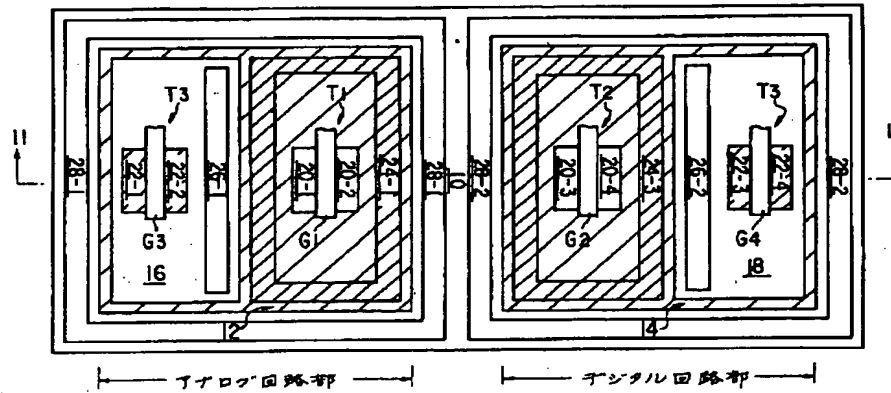
【図8】



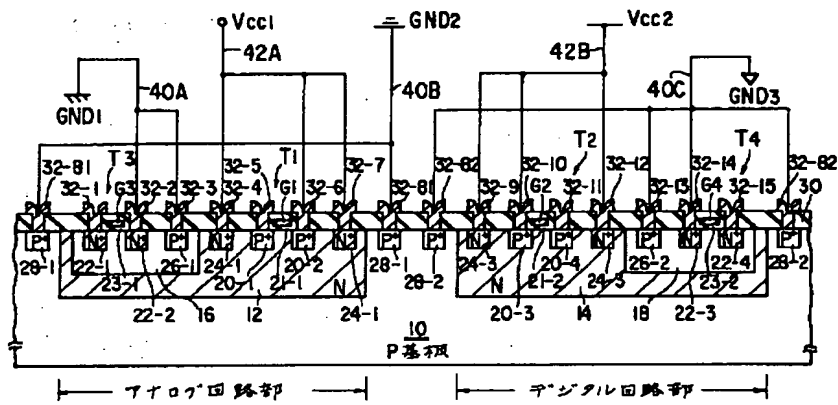
【図9】



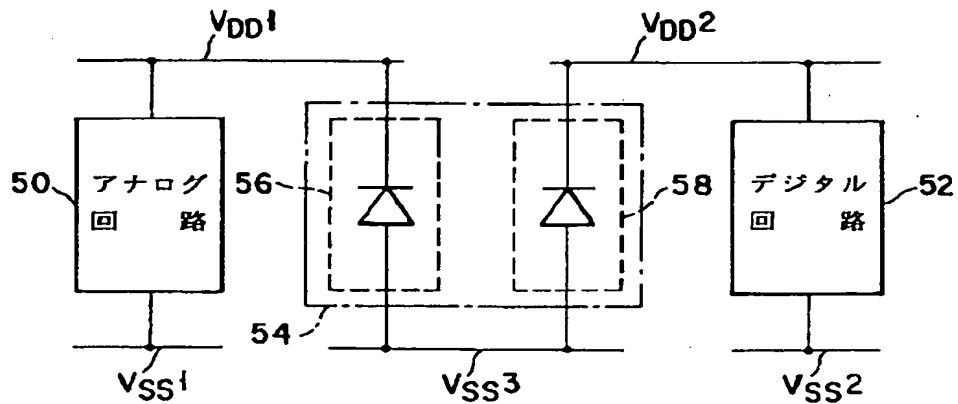
【図10】

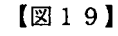


【図11】

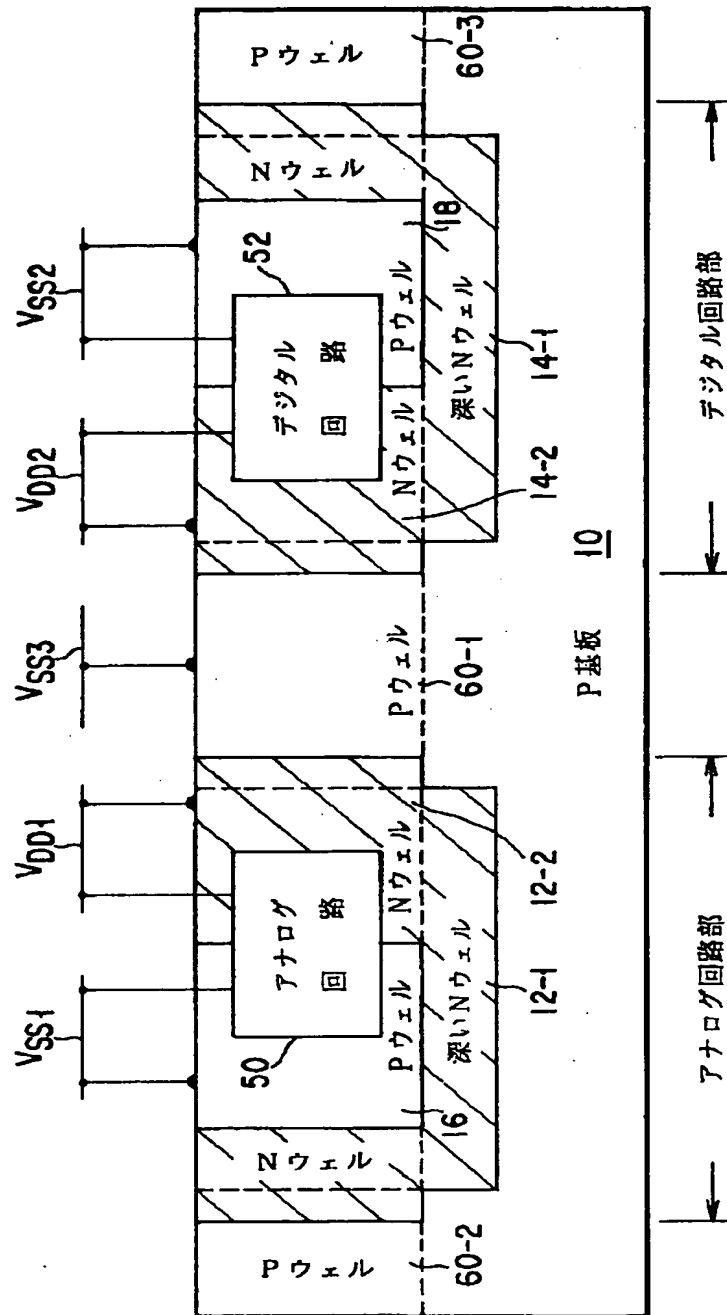


【図14】

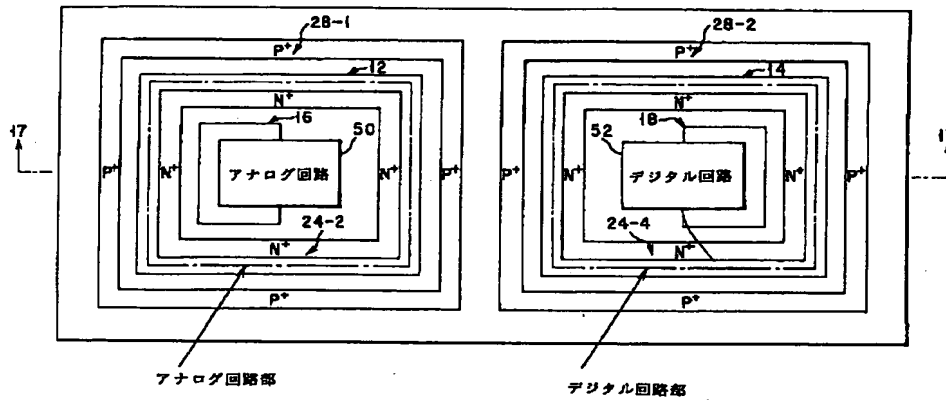




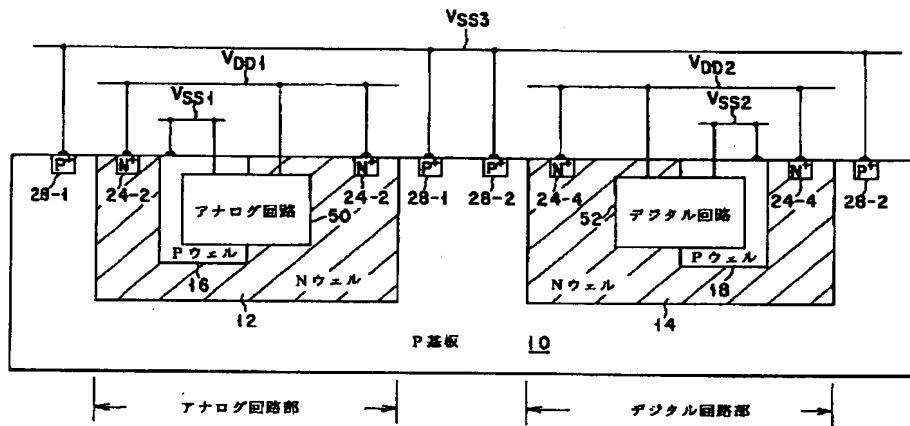
【図15】



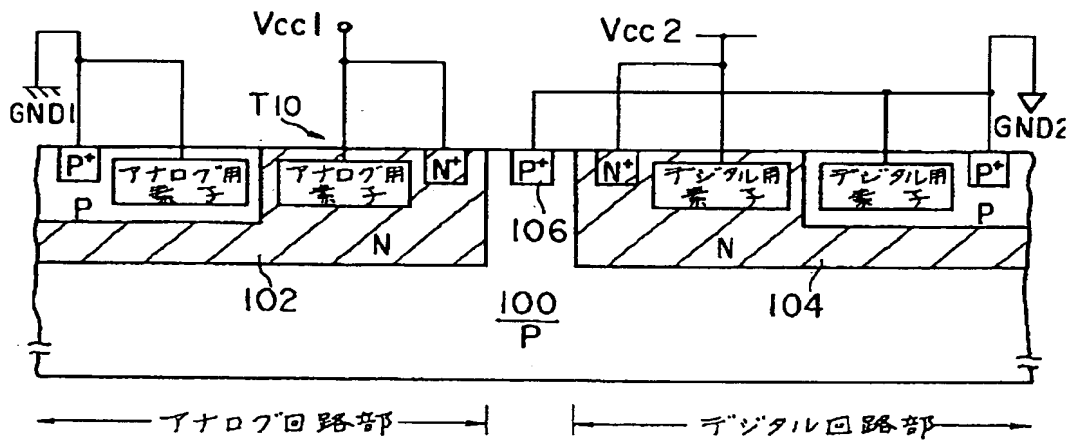
【図 16】



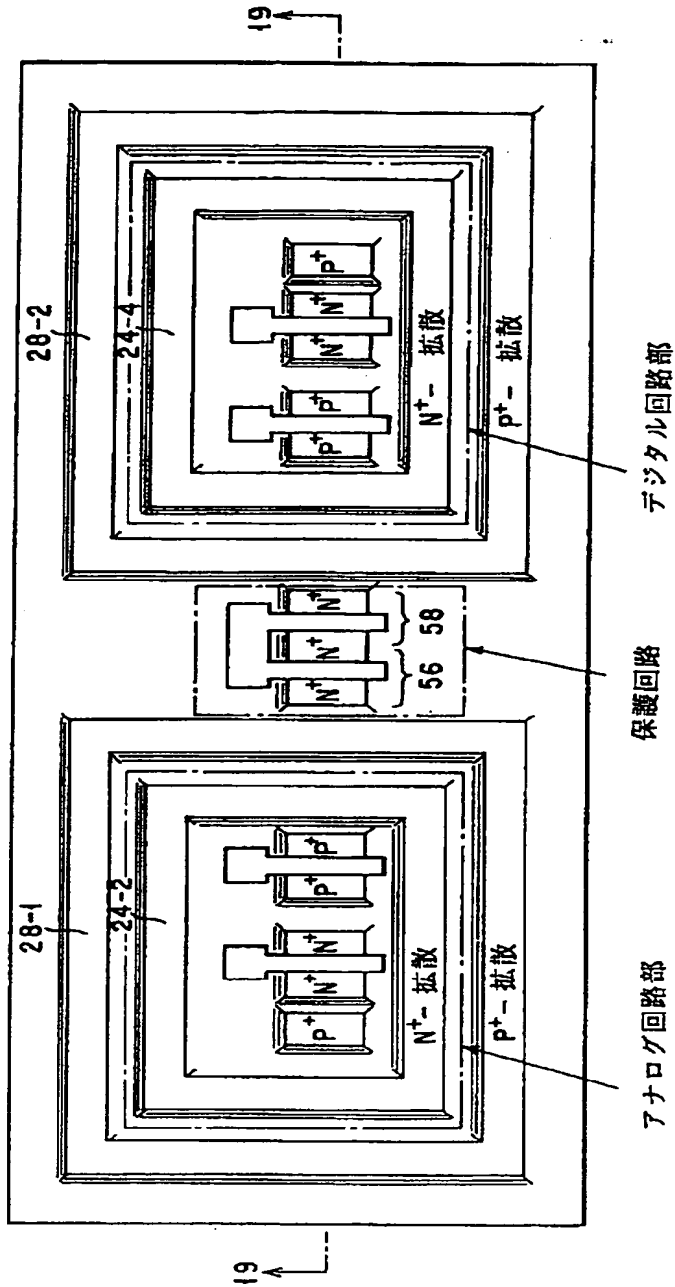
【図 17】



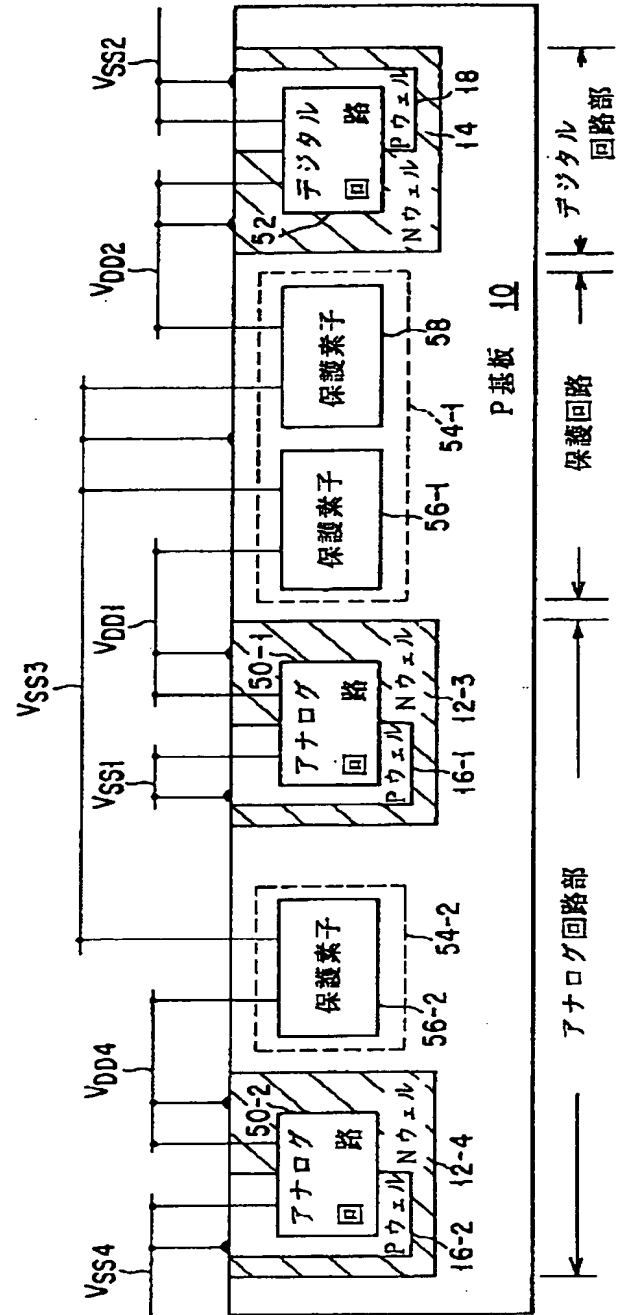
【図 21】



【図18】



【図20】



【図22】

